

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

KOREAN PATENT ABSTRACTS (KR)

Laid-Open Patent Publication

(51) IPC Code: H01L 23/36

(11) Publication No.: 10-1999-016617

(43) Publication Date: 15 March 1999

(21) Application No.: 10-1997-039212

(22) Application Date: 18 August 1997

(71) Applicant: Samsung Aerospace Industrials Ltd.

(54) Title of the Invention:

Semiconductor Package

(57) Abstract:

A semiconductor package is provided. The semiconductor package includes a semiconductor chip; a lead frame bonded with the semiconductor chip via wires; and a heat sink that is connected to ends of the semiconductor chip and the lead frame and includes a projection with a predetermined width between where the semiconductor chip and the lead frame are disposed. An adhesive, which is used when adhering the semiconductor chip to the heat sink, prevents a short circuit from occurring in a lead inside the lead frame, thereby increasing the reliability of the semiconductor package.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶ (11) 공개번호 특 1999-016617
H01L 23/36 (43) 공개일자 1999년 03월 15일

(21) 출원번호 특 1997-039212
(22) 출원일자 1997년 08월 18일
(71) 출원인 삼성항공산업 주식회사 이해규
경상남도 창원시 성주동 28번지
(72) 발명자 서만철
경기도 용인시 기흥읍 농서리 산 14번지
(74) 대리인 권석훈, 이영필, 이상용

심사청구 : 없음

(54) 반도체 패키지

요약

반도체 패키지가 개시된다. 이 반도체 패키지는 반도체칩과, 상기 반도체칩과 와이어본딩되는 리드프레임과, 상기 반도체칩과 상기 리드프레임의 일단이 접촉되는 것으로, 상기 반도체칩이 배치되는 부위와 상기 리드프레임이 배치되는 부위 사이에 소정 폭으로 돌출부가 형성된 방열판을 구비하여, 방열판에 반도체칩을 접착시에 이용되는 접착제에 의해 리드프레임의 내부리드가 상호 단락되는 것을 방지하여 신뢰성이 향상된다는 장점이 있다.

도면

도 1

도면

도면의 간단한 설명

도 1은 통상적인 방열판을 구비한 반도체 패키지의 일예를 도시한 단면도,
도 2는 본 발명에 따른 반도체 패키지의 일 실시예를 도시한 단면도,
그리고, 도 3은 도 2의 반도체 패키지에 이용되는 방열판의 일예를 도시한 사시도이다.

* 도면의 주요부분에 대한 부호의 설명

11, 21. 반도체칩 12, 22. 리드프레임
13, 23. 방열판 14, 24. 몰딩수지
23a. 돌출부 25. Ag-에폭시 접착층
26. 비전도성 접착필름층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 패키지에 관한 것으로서, 상세하게는 방열판을 구비한 반도체 패키지에서 방열판에 반도체칩을 접착시키기 과정에서 이용하는 접착제가 리드프레임이 배치된 부위로 흐르지 않도록 개선된 반도체 패키지에 관한 것이다.

통상적으로 반도체 패키지는 구조나 기능에 따라 칩 온 리드(chip on lead, COL) 패키지, 리드 온 칩(lead on chip, LOC) 패키지 등 여러 가지 형태가 이용된다. 그리고, 반도체칩으로부터 발생하는 열방출을 향상시키기 위해서 방열판을 구비한 반도체 패키지가 이용되는데, 그 일예를 도 1에 도시해 보았다.

도면에 도시된 바와 같이, 통상적인 방열판을 구비한 반도체 패키지는 반도체칩(11)과, 이 반도체칩(11)에 형성된 단자와 와이어본딩되는 리드프레임(12)과, 반도체칩(11) 및 리드프레임(12)의 일단이 탑재되어 접착되는 방열판(13)을 구비하여 구성된다. 그리고, 통상적으로 방열판(13)에 탑재된 반도체칩(11) 및 리드프레임(12)의 일단은 몰딩수지(14)에 의해 몰딩되어 외부로부터 보호된다.

상술한 바와 같은 반도체 패키지의 조립과정 중에서, 통상적으로 반도체칩(11)을 방열판(13)에 접착시키기 위해서는 Ag-에폭시를 이용하여 접착시킨다. 하지만 Ag-에폭시는 유통성이 강하기 때문에, 방열판(13)

에 Ag-에폭시를 이용하여 반도체칩(11)을 접착시킬 때 방열판(13)에서 반도체칩(11)이 접착되는 부위의 주변으로 Ag-에폭시가 흘러나가기게 된다. 이로 인해, 방열판(13)에서 반도체칩(11)의 탑재부위의 주변을 둘러싸서 배치된 리드프레임(12)의 내부리드가 접착된 부위까지 Ag-에폭시가 흘러가게 되면, 리드프레임(12)의 복수개의 내부리드는 상호 전기적으로 단락된다는 문제점이 발생한다. 이러한 문제점을 방지하기 위해 방열판(13)에 반도체칩(11)을 접착시키기 위해 사용되는 Ag-에폭시의 양을 적절하게 조절하여야 하나, 그 양을 조절하기가 용이하지 않을뿐 아니라, 방열판(13)에 반도체칩(11)을 가압하여 접착시키는 과정에서 Ag-에폭시가 한쪽 부위로 흘러가게 되어 반도체칩(11)의 탑재부위로부터 리드프레임(12)의 내부리드가 배치된 부위까지 흘러나가기게 된다. 특히, 반도체칩(11)의 고집적화 및 반도체 패키지의 박형화 및 소형화로 인해, 리드프레임(12)의 복수개의 내부리드 사이의 간격이 미세화 됨에 따라 적은 양의 Ag-에폭시가 리드프레임(12)의 배치된 부위로 흘러갈 경우에도 리드프레임(12)의 내부리드간에 상호 전기적으로 단락될 수 있다.

발명이 이루고자하는 기술적 과제

본 발명은 상기와 같은 문제점을 감안하여 창출된 것으로서, 방열판에 반도체칩을 접착시에 이용되는 접착제에 의해 리드프레임의 내부리드가 상호 단락되지 않도록 개선된 방열판을 구비한 반도체 패키지를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위해 본 발명인 반도체 패키지는, 반도체칩과, 상기 반도체칩과 와이어본딩되는 리드프레임과, 상기 반도체칩과 상기 리드프레임의 일단이 접착되는 것으로, 상기 반도체칩이 배치되는 부위와 상기 리드프레임이 배치되는 부위 사이에 소정 폭으로 돌출부가 형성된 방열판을 포함하여 된다.

그리고 본 발명에 있어서, 상기 반도체칩은 상기 방열판에 Ag-에폭시에 의해 접착되며, 상기 리드프레임은 상기 방열판에 비전도성 접착필름에 의해 접착된 것이 바람직하다.

이하 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세히 설명하기로 한다.

도 2는 본 발명에 따른 반도체 패키지의 일 실시예를 도시한 단면도이다.

도면에 도시된 바와 같이, 이 반도체 패키지는 반도체칩(21)과, 이 반도체칩(21)에 형성된 단자와 와이어본딩되는 리드프레임(22)과, 반도체칩(21) 및 리드프레임(22)의 일단이 탑재되어 접착되는 것으로, 본 발명의 특징에 따른 돌출부(23a)가 형성된 방열판(23)을 구비하며, 방열판(23)에 탑재된 반도체칩(21) 및 리드프레임(22)의 일단은 몰딩수지(24)에 의해 몰딩되어 외부로부터 보호된다.

그리고, 도 3은 본 발명에 따른 반도체 패키지에 이용되는 방열판(23)의 일예를 도시한 사시도이다.

도시된 바와 같이, 이 방열판(23)에는 반도체칩(21, 도 1)이 배치되는 부위(31)와 리드프레임(22, 도 1)이 배치되는 부위(32)를 사이에 소정 폭과 높이로 돌출부(23a)가 형성된다. 이러한 돌출부(23a)는 방열판(23)에 배치되는 반도체칩(21)과 리드프레임(22)의 형상에 대응하여 소정 폭과 높이로 형성되는 것이 바람직하다.

그리고, 본 발명에 따른 반도체 패키지에서 방열판(23)에 반도체칩(21)을 접착시키기 위해서 방열판(23)과 반도체칩(21) 사이에는 예컨대, Ag-에폭시 접착층(25)이 형성된다. 또한, 방열판(23)에 리드프레임(22)을 접착시키기 위해서 방열판(23)과 리드프레임(22) 사이에는 통상적인 반도체 패키지에 이용되는 예컨대, 비전도성 접착필름층(26)이 형성된다.

발명의 효과

본 발명에 따른 반도체 패키지는 방열판에서 반도체칩과 리드프레임이 배치되는 부위를 구분하는 돌출부가 형성되어 있으므로, 방열판에 반도체칩을 접착하는 과정에서 예컨대 Ag-에폭시 등의 접착제가 리드프레임의 배치된 부위로 흘러나가는 것을 방지하게 된다. 따라서, 본 발명에 따른 반도체 패키지는 방열판과 반도체칩 사이에 접착층을 형성시키는 과정에서 발생하는 리드프레임의 내부리드가 단락되는 문제점을 방지하여 신뢰성이 향상된다.

(57) 청구의 범위

청구항 1. 반도체칩;

상기 반도체칩과 와이어본딩되는 리드프레임;

상기 반도체칩과 상기 리드프레임의 일단이 접착되는 것으로, 상기 반도체칩이 배치되는 부위와 상기 리드프레임이 배치되는 부위 사이에 소정 폭으로 돌출부가 형성된 방열판을 포함하여 된 것을 특징으로 하는 반도체 패키지.

청구항 2. 제1항에 있어서,

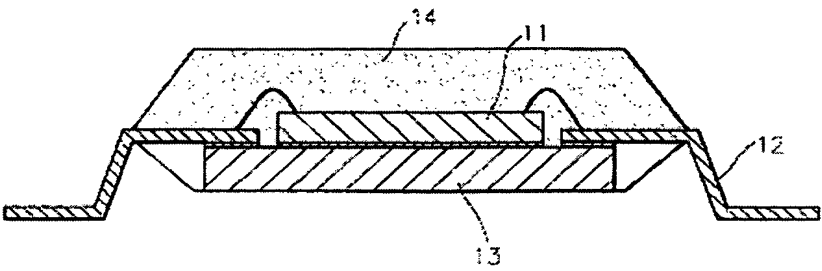
상기 반도체칩은 상기 방열판에 Ag-에폭시에 의해 접착된 것을 특징으로 하는 반도체 패키지.

청구항 3. 제1항에 있어서,

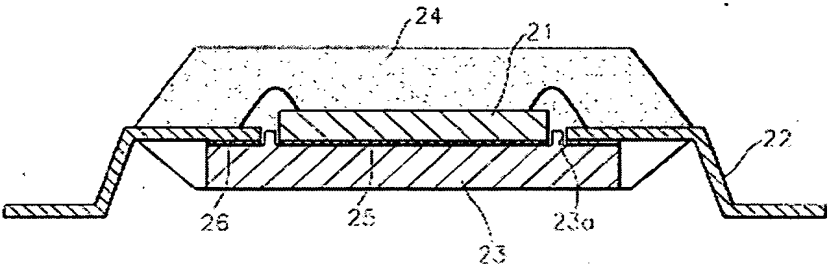
상기 리드프레임은 상기 방열판에 비전도성 접착필름에 의해 접착된 것을 특징으로 하는 반도체 패키지.

도면

도 1



도 2



도 3

